

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-233429

(43)Date of publication of application : 05.09.1997

(51)Int.Cl.

H04N 5/92  
G11B 20/10  
H04N 5/937  
H04N 5/93  
H04N 7/24

(21)Application number : 08-309758

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 20.11.1996

(72)Inventor : BOKU HANKI

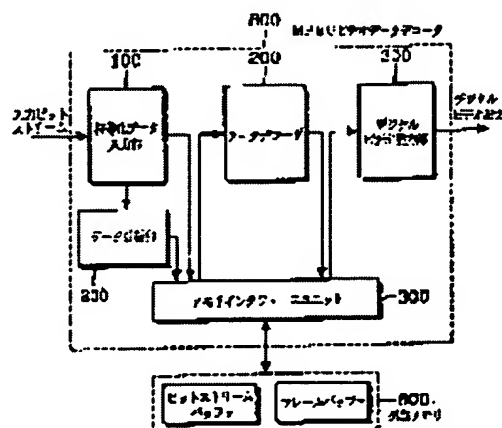
(30)Priority

Priority number : 96 9603411 Priority date : 13.02.1996 Priority country : KR

## (54) VIDEO DATA DECODER AND DECODING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide natural high-speed reproduction by preventing unwanted data from being abandoned by judging the unnecessary of reading while a moving picture expert group(MPEG) video decoder performs a high-speed reproducing operation. SOLUTION: A data analytic part 200 inputs a data signal and judges whether it is necessary to decode it or not. In response to a control signal corresponding to the result, an external memory part 600 stores MPEG video data. A data decoding part 800 reads out the stored MPEG video data, decodes these data and stores them again and a digital video output, part 500 reads out these data and outputs them at time set in advance.



## LEGAL STATUS

[Date of request for examination]

20.11.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3025447

[Date of registration] 21.01.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-233429

(43)公開日 平成9年(1997)9月5日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/92			H 0 4 N 5/92	H
G 1 1 B 20/10		7736-5D	G 1 1 B 20/10	E
H 0 4 N 5/937			H 0 4 N 5/93	C
5/93				Z
7/24			7/13	Z
審査請求 有 請求項の数3 O L (全 8 頁)				

(21)出願番号 特願平8-309758

(22)出願日 平成8年(1996)11月20日

(31)優先権主張番号 3 4 1 1 / 1 9 9 6

(32)優先日 1996年2月13日

(33)優先権主張国 韓国 (K R)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 朴 判 基

大韓民国安山市本五洞871番地

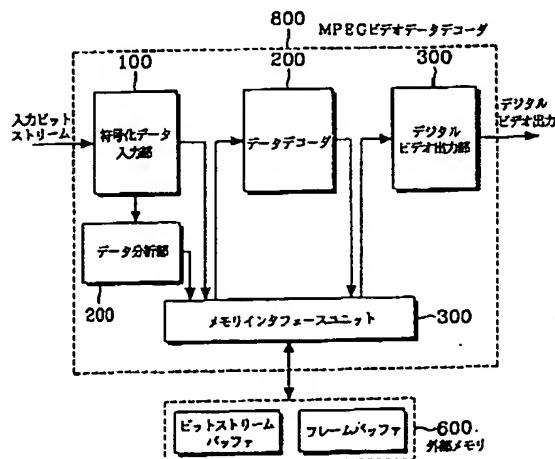
(74)代理人 弁理士 伊東 忠彦 (外1名)

(54)【発明の名称】 ビデオデータデコーダ及びデコーディング方法

(57)【要約】 (修正有)

【課題】 MPEGビデオデコーダが高速再生動作中のときには、不要なデータを読み出し不要だと判断して捨てることをさせないようにし、自然な高速再生を実現する。

【解決手段】 データ分析部200は、データ信号を入力としてデコーディングする必要があるかどうかを判断する。その結果に応じた制御信号に応答して、外部メモリ部600はMPEGビデオデータを貯蔵する。データデコーディング部800は貯蔵されたMPEGビデオデータを読み出してデコーディングして再び貯蔵し、デジタルビデオ出力部500はこれを読み出して予め設定された時間に出力する。



## 【特許請求の範囲】

【請求項1】 MPEGビデオデータをデコーディングして再生する装置において、

前記MPEGビデオデータを入力としてデータ信号を出力する符号化されたデータ入力部と、

前記データ信号を入力としてデコーディングする必要のあるデータであるかどうかを判断するデータ分析部と、前記データ分析部の出力信号にตอบสนองして制御信号を出力するメモリインタフェース部と、

前記制御信号にตอบสนองしてMPEGビデオデータを貯蔵する外部メモリ部と、

前記外部メモリ部に貯蔵されたMPEGビデオデータを読み出してデコーディングした後、更に前記外部メモリ部に貯蔵するデータデコーディング部と、

前記メモリ部にデコーディングされたデータを読み出して、予め設定された時間に出力するデジタルビデオ出力部とから構成されることを特徴とする装置。

【請求項2】 前記データ分析部は、

前記予め設定された時間の間データを遅延させるデータ遅延部と、

前記MPEGビデオデータを入力として各種画像開始コードを検出する開始コード検出部と、

外部から入力されるモード信号から動作モードを設定するモード選択部と、

前記各種画像開始コードと前記設定された動作モードにตอบสนองして、必要なデータである場合のみ、前記外部メモリ部に書き込みイネーブル信号を出力する制御部とから構成される請求項1記載の装置。

【請求項3】 MPEGビデオデータをデコーディングして再生するビデオデコーディング装置のビデオデータデコーディング方法において、前記ビデオデコーディング装置が高速再生動作中の場合は、不要なデータを前記ビデオデコーディング装置内のメモリに貯蔵せず、前記ビデオデコーディング装置が正常再生動作中には前記メモリに貯蔵した後にデコーディングして、前記ビデオデコーディング装置の出力端子に出力することを特徴とする方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、デジタルビデオデータの圧縮及びデコーディングに関する国際規格のMPEG(Moving Picture Experts Group)を利用して符号化されたデータをデコーディングする装置及び方法に関するもので、特に、光ディスク、光磁気ディスク、デジタルビデオカセットレコーダー(以下、“DVC R”とする)テープ等を利用して、ビデオデータをデコーディングする装置、または非同期式転送モード(Asynchronous Transfer Mode: 以下、“ATM”とする)、衛星放送のようなシステムで使用され得る装置及び方法に関するものである。

## 【0002】

【従来の技術】図1は、従来の技術によるMPEGビデオデータデコーダ80のブロック構成図である。図1を参照すると、MPEG形式に圧縮された入力ビットストリームは、一般的に前記MPEGビデオデータデコーダを制御する外部プロセッサが転送するが、これを符号化データ入力部10が受けて、メモリインタフェース部40を通じて外部メモリ50のビットストリームバッファ領域に貯蔵するようになる。ここで、外部メモリ50は、一般的に価格が安いダイナミックRAM(以下、“DRAM”とする)を利用するので、別途のDRAMリフレッシュも必要であり、処理速度も高速スタティックRAM(以下、“SRAM”とする)に比して遅い。このように入力されたビットストリームは、外部メモリ50上のビットストリームバッファで読み出されてデータデコーダ20に入力され、実際のMPEGビデオデータデコーディング動作が行われる。このようにデコーディングされたデジタルビデオデータは、メモリインタフェース部40を通じて外部メモリ50のフレームバッファ領域に記録される。前記MPEGビデオのデコーディング動作には、データの種類により以前にデコーディングされてフレームバッファに記録されているデジタルビデオデータを、メモリインタフェースを通じて読み出して参照しなければデコーディングができないものもあるので、実際には外部メモリのデータを多く読み取るようになる。このような動作を通じて記録されたフレームバッファ上のデコーディングされたデジタルビデオデータは、決められた時間内にデジタルビデオ出力部30により読み出されて外部に出力される。ここで、データデコーダ20の出力を外部にすぐ出力せず、外部メモリ50内のフレームバッファを利用する理由は、MPEGビデオの形式上デコーディングされるビデオフレームの順序と、実際に表示されるビデオフレームの順序が異なり、デコーディングされる時間と実際に表示されなければならない時間が異なるので、外部メモリ50上のフレームバッファを通じてこのような順序及び時間を制御して、デジタルビデオ出力部30で、正しくデータを出力する装置が必要だからである。また、正しいデータのデコーディングのためには、デジタルビデオ出力が行われた場合でも、他のフレームのデコーディングにそのデータが参照されて使用されるデータの場合は、一定時間の間デジタルビデオデータを保持しなければならない。このように符号化データ入力部10、データデコーダ20、デジタルビデオ出力部30が、それぞれ独立的、並列的に同時に動作しながら、1つのメモリインタフェース部40を通じて外部メモリ50を利用することになる。

【0003】図2は、MPEGで定義したI、P、B画像に関する概念を示す図である。図2を参照すると、I画像の場合は、画像自体内の情報だけを利用して符号化

するので、デコーディングされた他の画像を参照しなくてもデコーディング可能であり、P画像は前端的IまたはP画像の情報を、順方向予測して、最適の画質になるように符号化したものなので、順方向予測に使用した画像データがなければデコーディングが不可能である。またB画像は、過去と未来の画像(IまたはP)情報を両方向予測して符号化したものなので、デコーディング時には両方向予測で使用した2つの画像データがなければデコーディングされない。そのため、前記図1のフレームバッファには、3つのフレーム分のデジタルデータを保管しており、データ出力だけでなくデコーディング時にもフレームバッファが続いて利用される。

【0004】図3は、一般的な国際テレビジョンシステム委員会(National Television System Committee :以下、“NTSC”とする)のMPEGデータの画像構成図である。図3においてのNTSC方式の場合、一般的なMPEGデータの1秒間の分量に対してI、B、P画像に区分して示した図で、1秒に30フレームを表示するが、一般的に一秒が、画像Iは2フレーム、画像Pは8フレーム、画像Bは20フレームから構成される。従って、データのデコーディングに2つのフレーム分を必要とする画像Bが最も多いので、メモリインタフェースを通じて外部メモリのフレームバッファに対する読み出し、書き込み動作が頻繁に行われる。このような種類の画像を利用して、ビデオカセットレコーダー(以下、“VCR”とする)のような高速フォワード再生、高速リバース再生を実現しようとする場合は、一般に画像Iをランダムアクセス単位として画像Iだけを表示して実現する。これは画像Iが、画像自体内の情報だけでデコーディングが可能になるように独立的に符号化されているので、他の画像がデコーディングされていなくてもデコーディングすることができるからである。また、データの処理速度が向上しながら、画像Iだけでなく画像Pも利用して、より細密に早い再生時に利用することも可能である。これは、1つの参照フレームのみがデコーディングされていれば可能なためである。

【0005】前記MPEGビデオデータデコーダの性能は、秒当りの転送データ量(bit persecond)が、ある程度高いビットストリームをデコーディングすることができるか、また、ある程度早く入力データを受け入れるかによって大きく左右される。ところが、前記図1に示したような構造では、独立的に同時に動作する符号化されたデータ入力部10、データデコーダ20、デジタルビデオ出力部30が、同じメモリインタフェース部40を通じて1つの外部メモリを利用するので、MPEGビデオデータデコーダの性能は外部メモリ50をどのように効率的に利用するかということが重要な要素となる。すなわち、外部メモリ50への接近が多いほど、全体デコーダの性能はそれだけ低下するようになる。ところが、前述のとおり、高速再生時には、入力されるすべてのデ

ータをデコーディングするのではなく、画像Iだけをデコーディングして表示するか、あるいは画像IとPのみをデコーディングして表示する方法を利用するが、従来のような装置では、必要としないデータ(画像BまたはP)も、外部メモリ50上のビットストリームバッファに記録した後、データデコーダ20でデータのデコーディングを遂行しながら、不要なデータであると判断されるデータの一つ一つ読み出して捨てる方式を使用するので、デコーダでデコーディングするにさらに多くの時間が必要で、メモリインタフェース部を通じた不要なデータの記録及び読み出しにより負荷が大きくなり、それによりデコーダで受け入れるデータの入力速度にも限界があり、高速再生時より自然な表示が難しくなるという問題点があった。

【0006】

【発明が解決しようとする課題】従って本発明の目的は、MPEGビデオデコーダが高速再生動作中のときには、不要なデータを記録しないことにより、不要なデータを記録してからこのデータをさらに読み出し不要だと判断して捨てる機能を遂行せず、その時間に他の機能を遂行することが可能になるので、デコーダの性能を向上させ、一層自然な高速再生が実現できるデコーダ及びデコーディング方法を提供することにある。

【0007】

【課題を解決するための手段】このような目的を達成するために本発明は、MPEGビデオデータをデコーディングして再生する装置において、前記MPEGビデオデータを入力としてデータ信号を出力する符号化されたデータ入力部と、前記データ信号を入力としてデコーディングする必要のあるデータであるかどうかを判断するデータ分析部と、前記データ分析部の出力信号に応答して制御信号を出力するメモリインタフェース部と、前記制御信号に応答してMPEGビデオデータを貯蔵する外部メモリ部と、前記外部メモリ部に貯蔵されたMPEGビデオデータを読み出してデコーディングした後、更に前記外部メモリ部に貯蔵するデータデコーディング部と、前記メモリ部にデコーディングされたデータを読み出して、予め設定された時間に出力するデジタルビデオ出力部とから構成されることを特徴とする。

【0008】

【発明の実施の形態】以下、本発明の好適な実施例を添付の図面を参照して詳細に説明する。図面の説明において、同一の構成要素及び部分に対してはできるだけ同一の参照符号及び参照番号を使用する。図4は、本発明によるMPEGビデオデータデコーダのブロック構成図である。図4を参照すると、デコーディングしようとするMPEGビデオデータ入力ビットストリームは、符号化データ入力部100に入力されて、データ分析部200を通じてメモリインタフェース部を通じて、外部メモリ600のビットストリームバッファに記録する。このデ

ータ分析部200では、MPEGビデオデータデコーダ800が正常に再生中の場合は、入力されるすべてのデータを前記ビットストリームバッファに記録するが、高速再生モードに動作中の場合は、デコーディングしない不要なデータは選んで、前記ビットストリームバッファに記録されないようにする役割をする。前述したように、入力されたビットストリームは、外部メモリ600上のビットストリームバッファで読み出され、前記図1のデータデコーダに入力されて実際のMPEGビデオデコーディング動作が行われる。

【0009】このようにデコーディングされたデジタルビデオデータは、メモリインタフェース部300を通じて外部メモリ600のフレームバッファ領域に記録される。このMPEGビデオのデコーディング動作は、画像種類により以前にデコーディングされてフレームバッファに記録されている参照フレーム等をメモリインタフェース部300を通じて読み出してデコーディングを遂行することもある。このような動作を通じて記録されたフレームバッファ上のデコーディングされたデジタルビデオデータは、MPEG方式で決められた一定の時間にデジタルビデオ出力部500によって読み出されて外部に出力される。

【0010】図5は、図4のデータ分析部の詳細なブロック構成図である。図5を参照すると、入力されるビットストリームはデータ遅延部110を通過して出力される。ここで、遅延される時間は実際に開始コード(Start Code)検出部120で開始コードを検出して制御部140で制御信号を製作するにかかる時間ほど遅延させるようになる。この開始コード検出部120では、入力されるデータからI、P、B画像の開始コードを検出する役割をする。MPEGデータの場合、すべてのデータが最終的には可変長符号化方式を利用して符号化されるので、符号化された画像の大きさは画像の複雑度、明るさ、前後画像との相関関係等により非常に可変的であり、そのデータの位置と意味は可変長デコーディング(VLD)を遂行する前には分からない。しかし、MPEGで使用するすべての開始コードはバイト単位でその境界が合せているので、これを利用してバイト単位でデータを判断すると、開始コードを検出することができる。また、モード選択部130では、入力されるモード信号からデータ分析部の動作モードを選択する役割を果たす。一般的な再生の場合はノーマル信号を、高速再生の場合は画像Iのみを再生するBP\_Skipモード信号を、更に細密な高速再生をする場合は画像Iと画像Pのみを再生するB\_Skipモード信号をそれぞれ発生させる役割をする。また、制御部140では、前記開始コード検出部120で発生されたI開始コード、P開始コード、B開始コード信号と、前記モード選択部130で発生されたノーマル信号、BP\_Skipモード信号、B\_Skipモード信号を利用して、メモリに記録するか

を示す書き込みイネーブル信号を発生させる。モード選択部130の出力がノーマルの場合は、入力されるすべてのデータを記録しなければならないので、すべてのデータに対してメモリ記録信号が発生するように書き込みイネーブル信号を活性化させる。またその他に、前記BP\_Skipモード信号、B\_Skipモード信号で動作中の場合は、該当される画像のみメモリに記録されるように適当な書き込みイネーブル信号を発生させる。

【0011】図6は、図5の開始コード検出部の詳細フローチャートである。図6を参照すると、MPEGにおける画像開始コードは、ヘキサ(Hexa: 以下、“H”とする)で“00 00 01 00”に決められている。すなわち、バイト単位でその境界が合せているので、バイト単位で読み出しながらH“00 00 01 00”が順次に入力されるかをまず判断しなければならない(ステップ201~204)。前記開始コードの前には、無限個のH“00”が挿入され得るので、H“01”を検出する位置でH“01”が入力されなければ、H“00”が追加的に挿入されたかを点検する部分が追加されている(ステップ205)。このような方式で、画像開始コードが検出されると(ステップ206)、その画像の種類は次の11番目のビットから13番目のビットの3ビットにその画像の種類を表示する。すなわち、B(ビット表示)“001”であれば画像Iを(ステップ208、209)、B“010”であれば画像Pを(ステップ210、211)、B“011”であれば画像Bを(ステップ212、213)をそれぞれ示す。画像開始コードが検出された後、次の1バイトを読み出すが、これは単に読んでしまうデータである。そして、新たな次のバイトを読み出して、B“0011 1000”にビットアンド(Bit AND)動作を遂行して、任意のレジスタAに貯蔵して置く。このような動作は、前記画像開始コード後の11番目から13番目のビットのみを抽出するための動作である。次に、このように抽出されたデータであるレジスタAの内容がH“08”の場合は、この画像の種類が画像Iであるので、I画像開始コードを検出したとのI開始コード信号を発生させ、前記レジスタAの内容がH“10”の場合は、この画像の種類が画像Pなので、P画像開始コードを検出したとのP開始コード信号を発生させ、前記レジスタAの内容がH“18”の場合は、この画像の種類が画像Bなので、B画像開始コードを検出したとのB開始コード信号を発生させる。その後、MPEGビデオデコーダが動作し継続して動作中であれば(ステップ214)、前記のような動作を継続し、それ以上デコーディングを遂行しなければ前記のような動作を終了する。

【0012】図7は、図5に示した制御部の第1動作タイミング図である。図7において第1動作タイミングは、ノーマルモードでない画像Iのみをデコーディングして表示するBP\_Skipモードで動作中の時を示す動作タイミングを意味し、従って、入力ビットストリー

ムを受けて前記開始コード検出部で各種開始コードを検出するそれぞれの画像が開始された後、一定時間が経なければならない。従って、前記開始コードを検出するための時間だけ、入力ビットストリームを遅延して出力ビットストリームを出力するようになる。そして、これに合せてI開始コードが検出されると、メモリへの書き込みイネーブル信号を活性化させて記録するようにし、P開始コードやB開始コードが発生する場合はメモリへの書き込みイネーブル信号をディスエーブルさせ、メモリに記録されないようにする。

【0013】図8は、図5に示した制御部の第2動作タイミング図である。図8において第2動作タイミングは、ノーマルモードでない画像Iと画像Pのみをデコーディングして表示するB\_Skipモードで動作中の時を示す動作タイミングを意味する。入力ビットストリームを入力して前記開始コード検出部で各種開始コードを検出するためには、それぞれの画像が開始された後、一定時間を経るべきである。従って、前記開始コードを検出にかかる時間だけ入力ビットストリームを遅延して出力ビットストリームを出力することになる。そして、これに応じてI開始コードやP開始コードが検出されると、メモリへの書き込みイネーブル信号を活性化させて記録を始めるようにし、B開始コードが発生する場合にはメモリへの書き込みイネーブル信号をディスエーブルさせて、メモリへの記録を止めさせる。

【0014】上記本発明は、図面を中心として例を挙げて限定して説明したが、本発明の技術的思想を外れない範囲内では多様な変化と変形が可能であることは、当業者には明らかなことである。

【0015】

【発明の効果】以上のべてきたように本発明は、MPEGビデオデータデコーダが高速再生モードで動作中の場合、デコーディングしないデータはデコーダのメモリに記録しないことにより、不要なデータをメモリに記録

し、メモリからこの記録されたデータを読み出して不要と判断するような無駄な時間の消費を防止して、その時間にデコーダが他の動作を遂行することができるので、デコーダの性能を改善させる効果がある。このような改善効果は、特に高速再生時に、デコーダの負荷を多く除去することにより、より多くのデータが処理可能であり、これにより一層自然な高速再生を実現することができる効果がある。

【図面の簡単な説明】

【図1】従来の技術によるMPEGビデオデータデコーダのブロック構成図である。

【図2】一般的な画像I、B、Pの関係図である。

【図3】一般の国際テレビジョンシステム委員会MPEGデータの画像構成図である。

【図4】本発明によるMPEGビデオデータデコーダのブロック構成図である。

【図5】図4に示したデータ分析部のブロック構成図である。

【図6】図5に示した開始コード検出部の詳細フローチャートである。

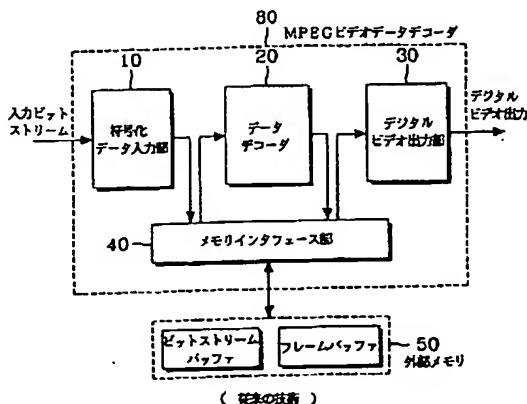
【図7】図5に示した制御部の第1動作タイミング図である。

【図8】図5の制御部の第2動作タイミング図である。

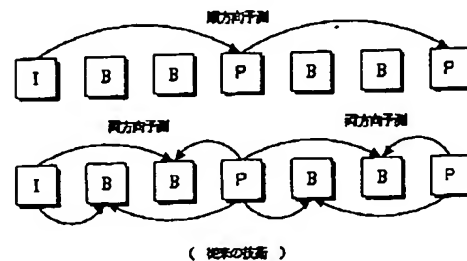
【符号の説明】

- 100 符号化データ入力部
- 110 データ遅延部
- 120 開始コード検出部
- 130 モード選択部
- 140 制御部
- 200 データ分析部
- 300 メモリインタフェース部
- 500 デジタルビデオ出力部
- 600 外部メモリ
- 800 MPEGビデオデータデコーダ

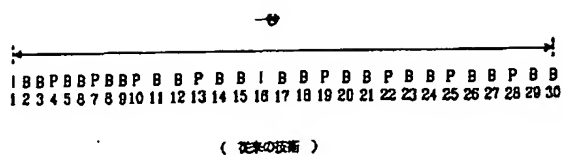
【図1】



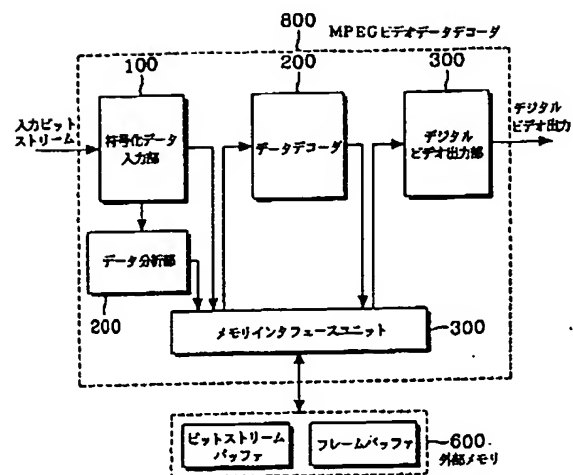
【図2】



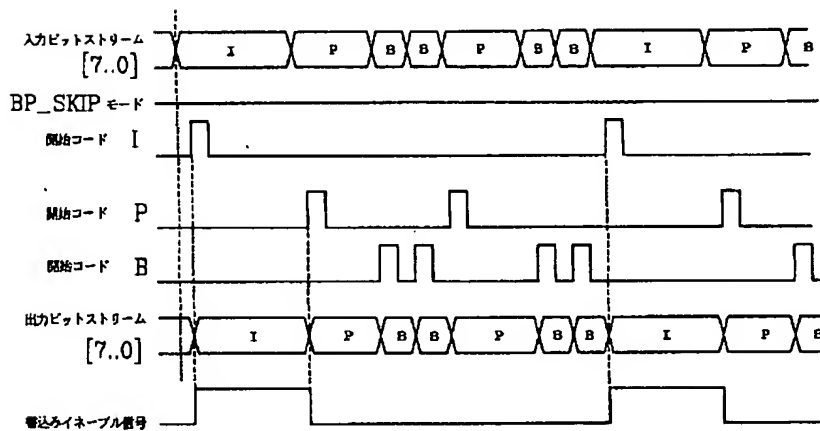
【図3】



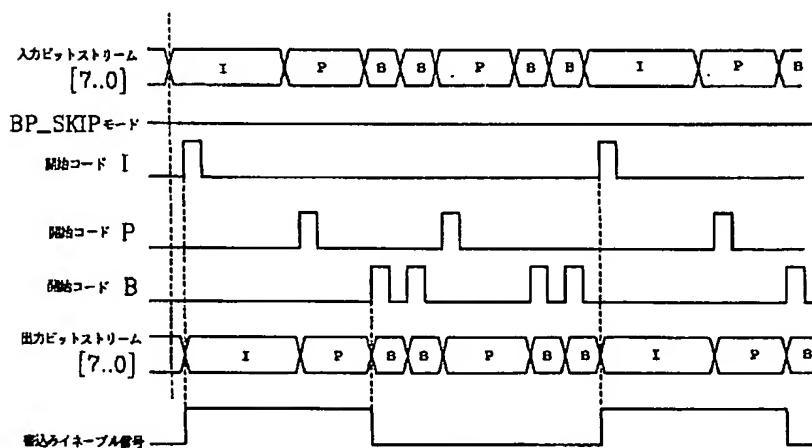
【図4】



【図7】

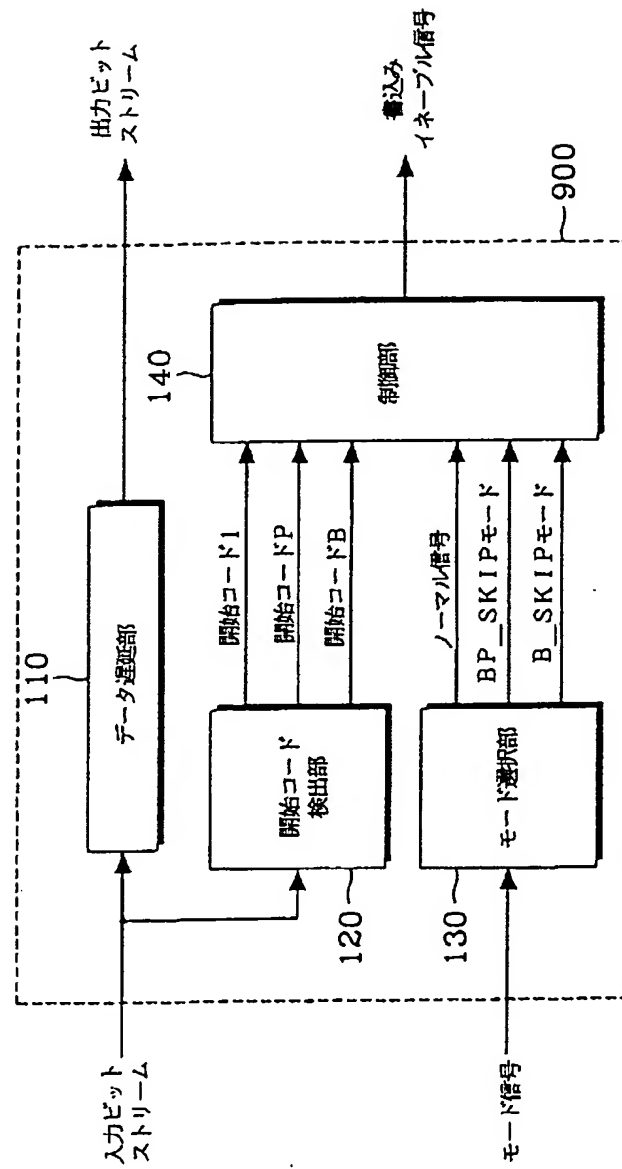


【図8】





【図5】



【図6】

